

REC'D 18 OCT 2002

PO 장 POT

대한민국 특허
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

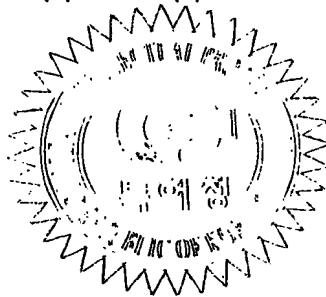
특허출원 2002년 제 18506 호
PATENT-2002-0018506

출원 년 월 일 :
Date of Application

2002년 04월 04일
APR 04, 2002

출원 인 :
Applicant(s)

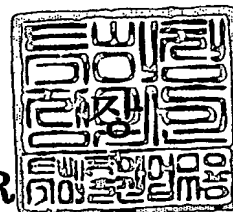
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 18 일

특 허 청

COMMISSIONER



**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED
BUT NOT IN COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.04.04
【발명의 명칭】	표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING THIN FILM TRANSISTOR ARRAY PANEL FOR DISPLAY DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2001-040150-0
【발명자】	
【성명의 국문표기】	윤주선
【성명의 영문표기】	Y00N, J00 SUN
【주민등록번호】	710129-1069522
【우편번호】	143-755
【주소】	서울특별시 광진구 광장동 현대아파트 504동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉주
【성명의 영문표기】	KIM, BONG JU
【주민등록번호】	720207-1850514
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골아파트 911동 1101호
【국적】	KR
【발명자】	
【성명의 국문표기】	태승규
【성명의 영문표기】	TAE, SEUNG GYU

【주민등록번호】 740116-1675513
【우편번호】 442-823
【주소】 경기도 수원시 팔달구 원천동 68-4번지 201호
【국적】 KR
【발명자】
【성명의 국문표기】 김현영
【성명의 영문표기】 KIM, HYUN YOUNG
【주민등록번호】 751111-1030316
【우편번호】 412-739
【주소】 경기도 고양시 덕양구 화정동 별빛마을 청구아파트 708동 604호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 유미특허법
인 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 30 면 30,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 59,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

먼저, 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 형성하고, 그 상부에 반도체층 및 저항 접촉층을 차례로 형성한다. 이어, 도전 물질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 질화 규소의 보호막을 적층하고 감광성 유기 절연 물질로 이루어진 유기 절연막을 도포하고 패터닝하여 표면에 요철 패턴을 가지면서 드레인 전극 상부의 보호막을 드러내는 제1 접촉 구멍을 형성한다. 이어, 아르곤과 같은 불활성 기체를 이용하여 유기 절연막을 표면 처리한 다음, 감광막 패턴을 이용한 사진 식각 공정으로 보호막을 게이트 절연막과 함께 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 각각 드러내는 접촉 구멍을 형성한다. 이어, ITO 또는 IZO를 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 연결되는 투명 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한 다음, 반사도를 가지는 도전 물질을 적층하고 패터닝하여 화소 영역에 개구부를 가지는 반사막을 투명 전극의 상부에 형성한다.

【대표도】

도 7

【색인어】

유기절연물질, 플라스마, ITO, 접착력, 접촉저항

【명세서】

【발명의 명칭】

표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법 {METHOD FOR MANUFACTURING THIN FILM TRANSISTOR ARRAY PANEL FOR DISPLAY DEVICE}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 반투과형 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,

도 2는 도 1에서 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3a, 4a, 5a, 6a, 7a 및 8a는 본 발명의 실시예에 따른 반투과형 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IV-IV' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7은 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIlb-VIIlb' 선을 따라 잘라 도시한 도면으로서 도 7의 다음 단계를 도시한 단면도이고,

도 9b는 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 10은 본 발명의 제2 실시예에 따른 투과형 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조를 도시한 배치도이고,

도 11은 도 10에 도시한 박막 트랜지스터 기판을 XI-XI' 선을 따라 잘라 도시한 단면도이고,

도 12는 본 발명의 제3 실시예에 따른 투과형 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 13 및 도 14는 도 12에 도시한 박막 트랜지스터 기판을 XIII-XIII' 선 및 XIV-XIV' 선을 따라 잘라 도시한 단면도이고,

도 15a는 본 발명의 제3 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도이며,

도 16a 및 16b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도로서, 도 15b 및 도 15c 다음 단계에서의 단면도이고,

도 17a는 도 16a 및 16b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 17b 및 17c는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도이며,

도 18a, 19a, 20a와 도 18b, 19b, 20b는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도로서 도 17b 및 17c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 21a는 도 20a 및 20b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 21b 및 21c는 각각 도 21a에서 XXIb-XXIb' 선 및 XXIc-XXIc' 선을 따라 잘라 도시한 단면도이며,

도 22a는 도 21b 및 21c 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 22b와 22c는 각각 도 22a에서 XXIIb-XXIIb' 선 및 XXIIc-XXIIc' 선을 따라 잘라 도시한 단면도로서 도 21b 및 21c 다음 단계들을 공정 순서에 따라 도시한 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<25> 본 발명은 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 관한 것이다.

<26> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다. 이러한 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두

기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있다.

<27> 일반적으로 박막 트랜지스터가 형성되어 있는 기판에는 박막 트랜지스터 외에도 주사 신호를 전달하는 게이트선 및 화상 신호를 전달하는 데이터선을 포함하는 배선, 외부로부터 주사 신호 또는 화상 신호를 인가받아 게이트선 및 데이터선으로 각각 전달하는 게이트 패드 및 데이터 패드가 형성되어 있으며, 게이트선과 데이터선이 교차하여 정의되는 화소 영역에는 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극이 형성되어 있다.

<28> 이때, 투과형 또는 반투과형 모드의 액정 표시 장치인 경우에 화소 전극은 투명한 도전 물질인 ITO(indium tin oxide)를 이용하여 형성하며, 화소의 개구율을 확보하기 위해 화소 전극은 배선과 중첩되도록 형성하며, 배선과 화소 전극 사이에는 이들을 통하여 전달되는 신호의 간섭을 최소화하기 위해 낮은 유전율을 가지는 유기 절연 물질로 이루어진 절연막을 형성한다.

<29> 또한, 반투과형 모드의 액정 표시 장치인 경우에 화소 전극은 알루미늄 또는 은 등과 같이 반사도를 가지는 도전 물질을 이용하여 ITO막과 함께 형성하며, 화소 전극의 반사율을 극대화하기 위해 화소 전극이 요철 패턴을 가지도록 형성한다. 이때, 화소 전극의 요철 패턴은 화소 전극은 하부에 절연막을 유기 절연 물질로 형성하고 유기 절연막에 엠보싱(embossing)을 형성하여 화소 전극이 요철 패턴을 가지도록 유도한다.

<30> 하지만, 유기 절연 물질의 절연막 상부에 ITO막을 형성할 때에는 유기 절연막과 ITO막의 접착력이 나빠지는 문제점이 발생한다. 이러한 문제점을 해결하기 위한 방법으

로 ITO막을 적층하기 전에 플라즈마 공정을 실시하여 유기 절연막의 표면에 거칠기를 증가시키는 기술이 개발되었다.

<31> 그러나, 화소 전극과 연결되는 배선을 드러내는 접촉부에서 플라즈마 공정시 배선의 상부에 유기 물질의 재증착되어 접촉부의 접촉 저항이 증가하는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<32> 본 발명이 이루고자 하는 기술적 과제는 ITO막과 유기 절연막의 접착력을 확보하는 동시에 ITO와 배선이 전기적으로 연결되는 접촉부의 접촉 저항을 최소화할 수 있는 박막 트랜지스터 어레이 기판 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<33> 이러한 문제점을 해결하기 위하여 본 발명에서는 유기 절연막의 하부에 보호막을 형성하고, 배선의 상부에 보호막이 남은 상태에서 ITO막을 적층하기 전에 플라즈마 공정을 실시하여 유기 절연막을 표면 처리한다.

<34> 더욱 상세하게 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는 게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 절연막을 적층하고, 게이트 전극과 중첩하는 부분에 반도체층을 형성하고, 게이트선과 교차하여 화소 영역을 정의하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층한 다음 유기 절연 물질을 스펀 코팅하여 유기 절연막을 형성하고, 유기 절연막을 패터닝하여 드레인 전극 상부의 보호막을 드러내는 제1 접촉 구멍을 형성한 다음, 불활성

기체를 이용하여 플라즈마를 실시하여 유기 절연막을 표면 처리한다. 이어, 제1 접촉 구멍을 통하여 드러난 보호막을 식각하여 제2 접촉 구멍을 형성하고 유기 절연막의 상부에 드레인 전극과 전기적으로 연결되는 화소 전극을 형성한다.

<35> 이때, 화소 전극은 투명한 도전 물질로 이루어진 투명 전극 또는 투명 전극과 반사도를 가지는 도전 물질로 이루어진 반사막으로 형성할 수 있으며, 화소 전극이 반사막을 가지는 경우에는 유기 절연막의 표면은 요철 패턴을 가지며, 화소 영역에 개구부를 가지는 것이 바람직하다.

<36> 여기서, 반도체층은 비정질 규소층 또는 다결정 규소층으로 형성할 수 있다. 또한, 보호막은 질화 규소 또는 산화 규소로 형성할 수 있으며, 제2 접촉 구멍은 제1 접촉 구멍을 형성한 다음 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 것이 바람직하다.

<37> 게이트 배선은 게이트선의 한쪽 끝에 연결되어 있는 게이트 패드를 더 포함하며, 데이터 배선은 데이터선의 한쪽 끝에 연결되어 있는 데이터 패드를 더 포함하며, 보호막 또는 게이트 절연막은 게이트 패드 또는 데이터 패드를 드러내는 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에는 제3 접촉 구멍을 통하여 게이트 패드 또는 데이터 패드와 전기적으로 연결되어 있는 보조 패드를 더 형성하는 것이 바람직하다.

<38> 데이터 배선 및 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 함께 형성할 수 있다.

- <39> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <40> 우선, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 반투과형 액정 표시 장치의 구조에 대하여 상세히 설명한다.
- <41> 도 1은 본 발명의 제1 실시예에 따른 반사형 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선을 따라 잘라 도시한 단면도이다.
- <42> 절연 기판(10) 위에 저저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 단일막 또는 이를 포함하는 다층막으로 이루어져 있는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다. 또한, 게이트 배선은 이후에 형성되는 화소 전극(82, 86)과 중첩되어 유지 축전기를 이루거나, 게이트 배선은 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극을 더 포함할 수 있으며, 이러한 유지 전극은 후술할 화소 전극(82, 86)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.
- <43> 기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<44> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.

<45> 저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 알루미늄 또는 은과 같은 저저항의 도전 물질로 이루어진 도전막을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소 영역을 정의하는 데이터선(62), 데이터선(62)에 연결되어 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

<46> 데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 질화 규소로 이루어진 보호막(70)이 형성되어 있으며, 그 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 절연 물질로 이루어진 유기 절연막(90)이 형성되어 있다. 이때, 유기 절연막(90)의 표면은 이후에 형성되는 반사막(86)에 요철 패턴을 유도하여 반사막(86)의 반사 효율을 극대화하기 위해 요철 패턴을 가지며, 게이트 패드(24) 또는 데이터 패드(68)가 형성되어 있는 패드부에서 유기 절연막(90)은 제거되어 있으며 보호막(70)만 남아 있다. 이러한 구조는 패드부에 유기 절연 물질을 잔류하지 않아 특히 게이트 패드(24) 및 데이터 패드(68)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 유리하다.

<47> 보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 또한, 유기 절연막(90)에는 드레인 전극(66) 및 이를 드러내는 보호막(70)의 접촉 구멍(76)의 경계선 및 그의 평평한 상부면을 드러내는 접촉 구멍(96)이 형성되어 있다.

<48> 유기 절연막(90) 상부에는 접촉 구멍(76, 96)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 투명 전극(82)이 형성되어 있다. 또한, 투명 전극(82)의 상부에는 화소 영역(P) 중 반사 영역(R)을 제외한 투과 영역(T)에 개구부(85)를 가지는 반사막(86)이 형성되어 있다. 여기서, 투명 전극(82)은 투명한 도전 물질인 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)로 이루어져 있으며, 반사막(86)은 반사도를 가지는 알루미늄 또는 알루미늄 합금, 은 또는 은 합금 등으로 이루어질 수 있으며, 반사막(86)과 투명 전극(82)의 접촉 특성을 확보하기 위해 반사막(86)은 투명 전극(82)에 접하는 면에 형성되어 있는 폴리브덴 또는 폴리브덴 합금, 크롬, 티타늄 또는 탄탈륨 등으로 이루어진 접촉 보조층을 더 포함할 수 있다.

<49> 또한, 패드부에서 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 보조 게이트 및 데이터 패드(84, 88)는 게이트 및 데이터 패드(24, 68)를 보호하기 위한 것이며, 필수적인 것은 아니며, 투명 전극(82)과 동일한 층으로 형성될 수 있으며, 반사막(86)과 동일한 층으로 형성될 수도 있다.

- <50> 그러면, 도 3a 내지 도 8b 및 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 반투과형 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 구체적으로 설명하기로 한다.
- <51> 먼저, 도 3a 및 도 3b에 도시한 바와 같이, 유리 기판(10) 상부에 저저항의 도전 물질을 적층하고, 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.
- <52> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 사진 식각 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다. 이때, 반도체층(40)은 이후에 형성되는 데이터선(62)을 따라 형성할 수도 있다.
- <53> 다음, 도 5a 내지 도 5b에 도시한 바와 같이, 데이터 배선용 도전막을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.
- <54> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된

비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<55> 다음으로, 도 6a 및 6b에서 보는 바와 같이, 질화 규소를 화학 기상 증착을 통하여 적층하여 보호막(70)을 형성하고, 이어, 보호막(70)을 패터닝하지 않은 상태에서 평탄화 특성이 우수하며 감광성을 가지는 유기 절연 물질을 기판(10)의 상부에 코팅(coating)하여 유기 절연막(90)을 보호막(70) 상부에 형성한다. 이렇게 보호막(70)을 패터닝하지 않은 상태에서 유기 절연막(90)을 스핀 코팅하면 보호막(70)에 의한 단차가 없어 유기 절연막(90)이 스핀 코팅시 특정한 부분으로 몰리는 것을 방지할 수 있다. 이어, 마스크를 이용한 사진 공정으로 유기 절연막(90)을 패터닝하여 드레인 전극(66) 상부의 보호막(70)을 드러내는 접촉 구멍(96)과 유기 절연막(90)의 표면에 요철 패턴을 형성한다. 이때, 게이트 패드(24) 또는 데이터 패드(68)가 형성되어 있는 패드부에는 유기 절연막(90)을 제거하여 보호막(70)을 드러낸다.

<56> 이어, 도 7에서 보는 바와 같이, 보호막(70)을 패터닝하지 않은 상태에서 Ar 기체를 이용한 플라즈마 공정을 실시하여 유기 절연막(90) 표면의 거칠기를 증가시킨다. 여기서, Ar 기체는 N_2 , He, Ne, Kr, Xe 등과 같은 불활성 기체로 대체할 수 있으며, 이러한 플라즈마 공정은 유기 절연막(90) 표면의 거칠기를 증가시켜 이후에 형성되는 ITO막(82)과의 접착력을 향상시키기 위함이다. 본 발명의 실시예에서는 이와 같이 보호막(70)을 패터닝하지 않은 상태에서 플라즈마 공정을 실시함으로써 접촉부에서 이후에 드러나게 될 게이트 배선 또는 데이터 배선이 손상되지 않는다.

<57> 이어, 도 8a 및 도 8b에서 보는 바와 같이, 감광막 패턴(1000)을 이용한 사진 식각 공정으로 보호막(70)을 게이트 절연막(30)과 함께 패터닝하여, 게이트 패드(24), 드레

인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 드레인 전극(66)을 드러내는 보호막(70)의 접촉 구멍(76)은 유기 절연막(90)의 접촉 구멍(96) 안쪽으로 형성하여 보호막(70)의 경계선 및 평평한 상부면이 드러나, 접촉부는 언더 컷이 없는 계단 구조를 가지는 것이 바람직하다.

<58> 이때, 데이터 배선(62, 65, 66, 68) 또는 게이트 배선(22, 24, 26)을 다층막으로 형성하고, 가장 상부막을 알루미늄 또는 알루미늄 합금으로 형성하는 경우에는 접촉부에서 알루미늄 또는 알루미늄 합금의 상부막과 이후의 IT0막이 접촉하는 것을 방지하기 위해 알루미늄 또는 알루미늄 합금의 상부막을 제거하는 공정을 추가하는 것이 바람직하다.

<59> 다음, 도 9a 및 9b에 도시한 바와 같이, IT0를 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76, 96)을 통하여 드레인 전극(66)과 연결되는 투명 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)를 각각 형성한다.

<60> 이러한 본 발명에 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는 접촉부에서 보호막(70)을 제거하지 않은 상태에서 플라즈마 공정을 실시함으로써 앞에서 설명한 바와 같이 접촉부에서 배선이 손상되는 것을 방지할 수 있으며, 또한 유기 절연막(90)을 표면 처리하는 플라즈마 공정을 실시한 다음 보호막(70)을 패터닝하는 사진 식각 공정을 진행하여 보호막(70)의 접촉 구멍(74, 76, 78)을 패터닝함으로써 접촉 구멍(76, 96, 74, 78) 안쪽에 잔류하는 유기 절연 물질을 완전히 제거할 수 있어 접촉부의 접촉 저항을 최소화할 수 있으며, 플라즈마 공정에서 잔류할 수 있는 불활성 기체를 거의 제거할 수 있다.

- <61> 다음, 도 1 및 도 2에서 보는 바와 같이, 반사율을 가지는 은 또는 알루미늄을 포함하는 도전 물질을 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 투명 전극(82)의 상부에 반사막(86)을 형성한다. 이때, 반사막(86)은 투명 전극(82)과 접촉 특성을 향상시키기 위해 다른 물질과 접촉 특성이 좋은 물질로 이루어진 접촉 보조층을 포함하는 것이 바람직하다.
- <62> 또한, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는 또한 유기 절연막(90)을 형성할 때 패드부에 유기 절연 물질을 제거하고 이후에 보호막(70)을 패터닝하는 공정을 실시하므로 패드부에 유기 절연 물질이 잔류하는 것을 완전히 방지할 수 있어 패드부의 접촉 저항을 최소화할 수 있다. 따라서, 이러한 제조 방법을 통하여 완성된 박막 트랜지스터 기판은 특히 게이트 패드(24) 및 데이터 패드(68)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 유리하다.
- <63> 한편, 본 발명의 제1 실시예에 따른 제조 방법은 투과형 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서도 동일하게 적용할 수 있다.
- <64> 먼저, 도 10 및 도 11을 참고로 하여 본 발명의 제2 실시예에 따른 투과형 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.
- <65> 도 10 내지 도 11에서 보는 바와 같이, 대부분의 구조는 제1 실시예에 따른 구조와 동일하다.

<66> 하지만, 제1 실시예와 다르게, 게이트 배선(22, 24, 26) 중 게이트선(22)의 일부는 이후의 화소 전극인 투명 전극(82)과 중첩하여 유지 용량을 충분히 확보하기 위해 다른 부분보다 넓은 폭으로 형성되어 있다.

<67> 또한, 게이트 배선(22, 24, 26) 및 데이터 배선(52, 65, 66)과 화소 전극(82)은 낮은 유전율을 가지는 유기 절연막(90)을 사이에 두고 중첩되어 있어 최대의 개구율을 확보할 수 있다.

<68> 또한, 데이터 배선(62, 65, 66, 68)은 게이트선(22)과 중첩되어 있는 유지 축전기용 도전체 패턴(64)을 포함하며, 유기 절연막(90)의 상부에 직접 접촉 구멍(76, 96)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소 영역에 위치하고, 투명한 도전 물질로 이루어진 화소 전극(82)이 형성되어 있다. 이때, 화소 전극(82)은 보호막(70) 및 유기 절연막(90)에 형성되어 있는 접촉 구멍(72, 92)을 통하여 유지 축전기용 도전체 패턴(64)과 전기적으로 연결되어 있으며, 게이트 패드(24)를 드러내는 보호막(70) 및 게이트 절연막(30)의 접촉 구멍(74)은 게이트 패드(24)보다 크게 형성되어 있다.

<69> 물론, 이러한 본 발명의 제2 실시예에 따른 투과형 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법은 보호막(70)에 접촉 구멍(72, 76, 74, 78)을 형성하는 공정까지는 제1 실시예에 따른 제조 방법과 동일하다.

<70> 이때, 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는 반도체층(40)은 데이터 배선(62, 65, 66, 68)을 따라 세로 방향으로 형성하고, 유기 절연 물질의 유기 절연막(90)에 요철 패턴은 형성하지 않는다.

<71> 한편, 앞의 실시예에서 설명한 제조 방법은 제조 공정을 단순화하기 위하여 반도체 층과 데이터 배선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 투과형 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<72> 먼저, 도 12 내지 도 14를 참고로 하여 본 발명의 제3 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 어레이 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<73> 도 12는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 13 및 도 14는 각각 도 12에 도시한 박막 트랜지스터 기판을 XIII-XIII' 선 및 XIV-XIV' 선을 따라 잘라 도시한 단면도이다.

<74> 먼저, 절연 기판(10) 위에 제2 실시예와 동일하게 알루미늄 또는 알루미늄 합금이 나 은 또는 은 합금 등의 저저항 도전 물질을 포함하는 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 게이트 배선은 또한 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<75> 게이트 배선(22, 24, 26, 28) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

- <76> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.
- <77> 저항성 접촉층 패턴(55, 56, 58) 위에는 저저항을 가지는 알루미늄 계열의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 뻗어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.
- <78> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 65, 68)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다

<79> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<80> 데이터 배선(62, 64, 65, 66, 68) 위에는 제1 실시예와 같이 질화 규소로 이루어진 보호막(70) 및 낮은 유전율을 가지는 유기 절연 물질로 이루어진 유기 절연막(90)이 차례로 형성되어 이루어진 층간 절연막이 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉 구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다. 이때에도, 제1 실시예와 동일하게 패드부에서 유기 절연막(90)은 제거되어 보호막(70)이 드러나 있으며, 접촉 구멍(72, 96)에서는 하부 절연막인 유기 절연막(70)의 상부면이 드러나 있어 접촉 구멍(92, 96)의 측벽은 계단 모양으로 형성되어 있다.

<81> 유기 절연막(90) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉

구멍(76, 96)을 통하여 드레인 전극(66)과 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72, 92)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 보호막(70)의 상부에 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 이러한 접촉부의 구조에서는 접촉부에서 언더 컷 구조가 없어 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 단선되는 것을 방지할 수 있다. 또한, 보조 게이트 패드(84) 및 보조 데이터 패드(88)는 보호막(70)의 상부까지 형성되어 있다.

<82> 그러면, 도 12 내지 도 14의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 12 내지 도 14와 도 15a 내지 도 22c를 참조하여 설명하기로 한다.

<83> 먼저, 도 15a 내지 15c에 도시한 바와 같이, 저저항을 가지는 알루미늄 또는 알루미늄 합금, 은 또는 은 합금 등의 단일막 또는 이들의 단일막과 크롬, 티타늄, 탄탈륨 등과 같이 다른 물질과 접촉 특성이 좋은 도전 물질을 포함하는 다층막으로 게이트 배선용 도전 물질을 적층하고 제1 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

<84> 다음, 도 16a 및 16b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 저저항을 가지는 데이터 배선용 도전 물질로 이루어진 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

<85> 그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 17b 및 17c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<86> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용하여 마스크에 반투과 영역을 형성한다.

<87> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에

는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<88> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어, 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<89> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 홀러내리도록 함으로써 형성할 수도 있다.

<90> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

<91> 먼저, 도 18a 및 18b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴

(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<92> 여기서, 데이터 배선용 도전 물질이 알루미늄 또는 알루미늄 합금인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr인 경우에는 건식 식각 방법으로서는 잘 제거되지 않기 때문에 습식 식각을 이용하는 것이 좋으며, 식각액으로 CeNH_3O_3 을 사용할 수 있고, 크롬을 500Å 정도의 두께로 매우 얇게 적층하는 경우에는 건식 식각을 이용할 수도 있다.

<93> 이렇게 하면, 도 18a 및 도 18b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<94> 이어, 도 19a 및 19b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 앞에서 도전체 패턴(67)을 건식 식각으로 식각하는 경우에 중간층(50) 및 반도체층(40)은 연속으로 건식 식각으로 행할 수 있으며, 이를 인 시튜(in-situ)로 진행할 수도 있다. 중간층(50)과 반도체층(40)의 식각은 감광막 패턴(112, 114)과 중간층(50)

및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<95> 이렇게 하면, 도 19a 및 도 19b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거된다. 또한, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다. 여기서, 채널부(C)의 소스/드레인용 도전체 패턴(67)은 별도의 PR 에치 백(etch back) 공정을 통하여 드러낼 수도 있으며, 감광막을 충분히 식각할 수 있는 조건에서는 PR 에치 백 공정을 생략할 수도 있다.

<96> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<97> 다음, 도 20a 및 20b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로

진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<98> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<99> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<100> 이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 21a 내지 21c에 도시한 바와 같이 질화 규소를 화학 기상 증착 방법으로 증착하여 보호막(70)을 형성한다. 이어, 보호막(70)을 패터닝하지 않은 상태에서 평탄화 특성이 우수하며 낮은 유전율을 가지는 감광성 유기 물질을 기판(10)의 상부에 스핀 코팅(spin coating)하여 유기 절연막(90)을 형성한다. 이렇게 보호막(70)을 패터닝하지 않은 상태에서 유기 절연막(90)을 스핀 코팅으로 할 때에는 보호막(70)에 의한 단차가 없어 유기 절연막(90)이 스핀 코팅시 특정한 부분으로 물리는 것을 방지할 수 있다. 이어, 마스크를 이용한 사진 공정으로 유기 절연막(90)을 패터닝하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64) 상부의 보호막(70)을 드러내는 접촉 구멍(96, 92)을 형성한다. 이때, 게이트 패드(24)

또는 데이터 패드(68)가 형성되어 있는 패드부에는 유기 절연막(90)을 제거하여 보호막(70)을 드러낸다.

<101> 이어, 도 21b 및 도 21c에서 보는 바와 같이, 불활성 기체, 예를 들면 아르곤(Ar)을 이용한 플라스마 공정을 실시하여 유기 절연막(90) 표면의 거칠기를 증가시킨다. 이는 이후에 형성되는 화소 전극(82)과 유기 절연막(90)의 접촉 면적을 증가시켜 이들간의 접착력을 확보하기 위함이다. 이때, 보호막(70)을 패터닝하지 않은 상태에서 플라스마 공정을 실시하여 배선(66, 64, 24, 68)의 상부에 직접 유기 물질이 잔류하는 것을 방지할 수 있다.

<102> 이어, 도 22a 내지 도 22c에 도시한 바와 같이, 제1 실시예와 같이, 감광막 패턴을 이용한 사진 식각 공정으로 보호막(70)을 게이트 절연막(30)과 함께 패터닝하여, 게이트 패드(24), 드레인 전극(66), 유지 축전기용 도전체 패턴(64) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 72, 78)을 형성한다. 여기서, 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)을 드러내는 보호막(70)의 접촉 구멍(76, 72)은 유기 절연막(90)의 접촉 구멍(96, 92) 안쪽으로 위치하도록 형성한다.

<103> 이러한 본 발명의 실시예에 따른 제조 공정에서는, 이전의 플라스마 공정에서 드러난 보호막(70) 상부에 유기 물질이 재증착되어 잔류한다고 할지라도 접촉 구멍(74, 76, 72, 78)을 형성하기 위해 보호막(70)을 패터닝하는 공정에서 잔류하는 접촉 구멍(74, 76, 72, 78)을 포함하는 접촉부에서 유기 물질을 거의 제거할 수 있다. 또한, 플라스마 공정을 진행한 다음 보호막(70)을 패터닝하는 공정을 실시함으로써 접촉부에서 플라스마 공정에서 이용한 기체를 거의 제거할 수 있다.

- <104> 이때, 데이터 배선(62, 64, 65, 66, 68) 또는 게이트 배선(22, 24, 26, 28)을 다층막으로 형성하고, 가장 상부막을 알루미늄 또는 알루미늄 합금으로 형성하는 경우에는 접촉부에서 알루미늄 또는 알루미늄 합금의 상부막과 이후의 ITO막이 접촉하는 것을 방지하기 위해 알루미늄 또는 알루미늄 합금의 상부막을 제거하는 공정을 추가하는 것이 바람직하다.
- <105> 마지막으로, 감광막 패턴을 제거하고, 제1 및 제2 실시예에서와 같이 도 12 내지 도 14에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO 또는 IZO를 증착하고 제4 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(84) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.
- <106> 이러한 본 발명의 제3 실시예에서는 유기 절연막(90)과 화소 전극(82)의 접착력을 확보하는 동시에 접촉부의 접촉 저항을 최소화할 수 있는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.
- <107> 이러한 제조 공정을 통하여 완성된 액정 표시 장치용 박막 트랜지스터 어레이 기판에는 필름에 구동 집적 회로가 패키징되어 있는 TCP 또는 COF(chip on film) 방식을 통하여 패드부와 구동 집적 회로를 연결할 수 있으며, 특히 앞에서 설명한 바와 같이 구동 집적 회로를 기판의 상부에 직접 실장하는 COG(chip on glass) 방식을 통하여 구동 집적 회로와 패드를 전기적으로 연결할 수 있다.

<108> 앞의 제1 내지 제3 실시예에서는 비정질 규소층의 반도체층을 가지는 박막 트랜지스터 어레이 기판의 제조 방법에 대해서만 설명하였지만, 본 발명은 다결정 규소층을 반도체층으로 이용하는 박막 트랜지스터 어레이 기판의 제조 방법에서도 동일하게 적용할 수 있다.

【발명의 효과】

<109> 이와 같이, 본 발명에 따르면 배선이 보호막으로 덮인 상태에서 유기 절연막을 플라즈마 공정으로 표면 처리한 다음 보호막을 패터닝하여 배선을 드러내는 접촉부를 형성함으로써 접촉부에서 유기 물질 또는 플라즈마 공정용 기체가 잔류하는 것을 방지할 수 있다. 따라서, 유기 절연막과 ITO막의 접착력을 확보하는 동시에 접촉부의 접촉 저항을 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

게이트 절연막을 적층하는 단계,

반도체층을 형성하는 단계,

상기 게이트선과 교차하여 화소 영역을 정의하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 게이트 배선 또는 데이터 배선을 덮는 보호막을 형성하는 단계,

상기 보호막의 상부에 유기 절연 물질을 스핀 코팅하여 유기 절연막을 형성하는 단계,

상기 유기 절연막을 패터닝하여 상기 드레인 전극 상부의 상기 보호막을 드러내는 제1 접촉 구멍을 형성하는 단계,

불활성 기체를 이용한 플라즈마 공정을 실시하여 상기 유기 절연막을 표면 처리하는 단계,

상기 보호막을 패터닝하여 상기 제1 접촉 구멍의 안쪽에 상기 드레인 전극을 드러내는 제2 접촉 구멍을 형성하는 단계,

상기 제1 및 제2 접촉 구멍을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 2】

제1항에서,

상기 화소 전극은 투명한 도전 물질로 이루어진 투명 전극 또는 상기 투명 전극과 반사도를 가지는 도전 물질로 이루어진 반사막으로 형성하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 3】

제2항에서,

상기 화소 전극이 반사막을 가지는 경우에 상기 보호막의 표면은 요철 패턴을 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 4】

제2항에서,

상기 화소 전극을 투명 전극과 반사막으로 함께 형성하는 경우에 상기 반사막은 상기 화소 영역에 개구부를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 5】

제1항에서,

상기 반도체층은 비정질 규소층 또는 다결정 규소층으로 형성하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 6】

제1항에서,

상기 게이트 배선은 상기 게이트선의 한쪽 끝에 연결되어 있는 게이트 패드를 더 포함하며,

상기 데이터 배선은 상기 데이터선의 한쪽 끝에 연결되어 있는 데이터 패드를 더 포함하며,

상기 보호막 또는 상기 게이트 절연막은 상기 게이트 패드 또는 상기 데이터 패드를 드러내는 제3 접촉 구멍을 가지며, 상기 화소 전극과 동일한 층에는 상기 제3 접촉 구멍을 통하여 상기 게이트 패드 또는 상기 데이터 패드와 전기적으로 연결되어 있는 보조 패드를 더 포함하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

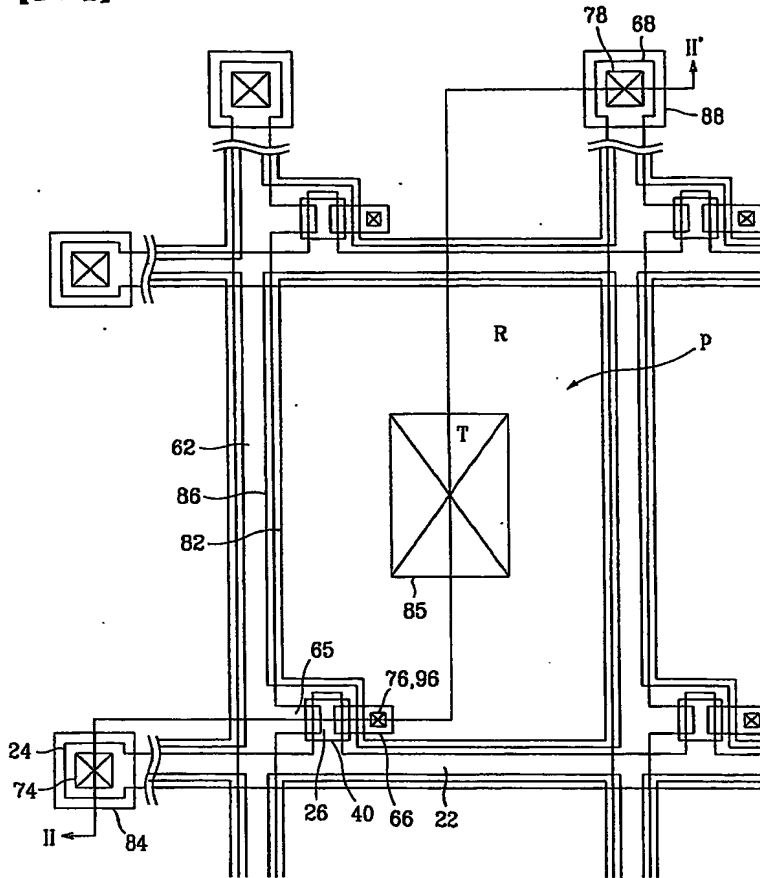
【청구항 7】

제1항에서,

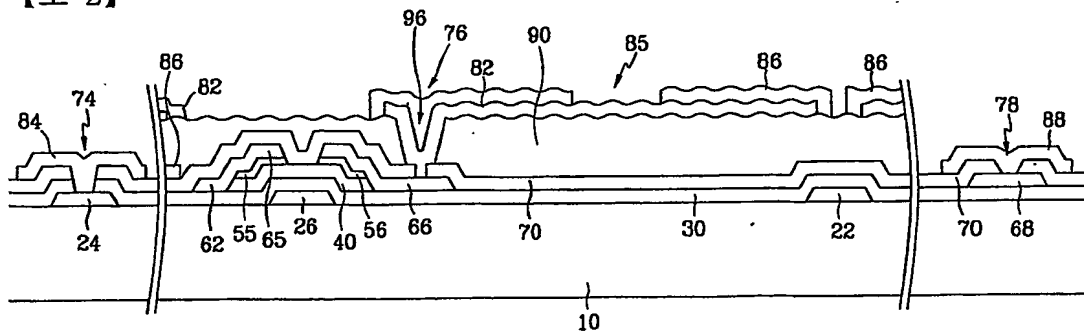
상기 데이터 배선 및 상기 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 함께 형성하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법.

【도면】

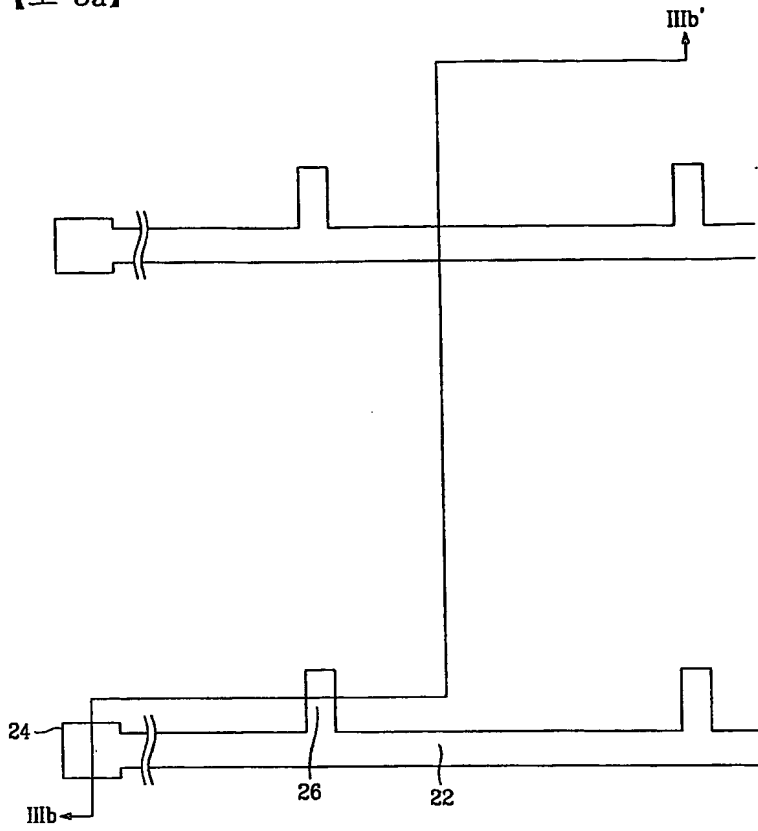
【도 1】



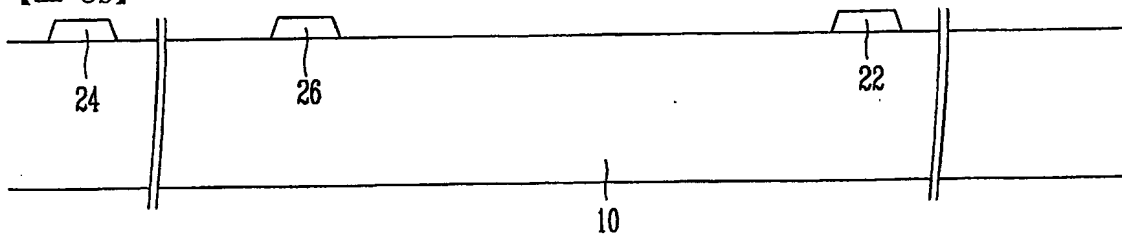
【도 2】



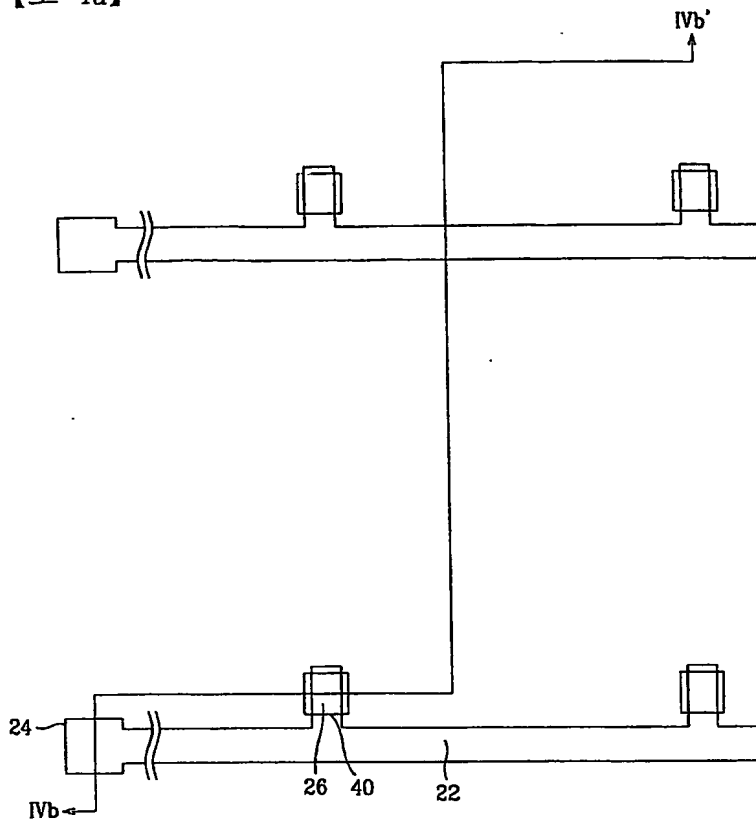
【도 3a】



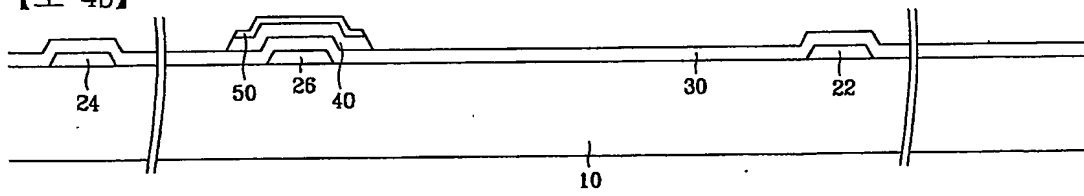
【도 3b】



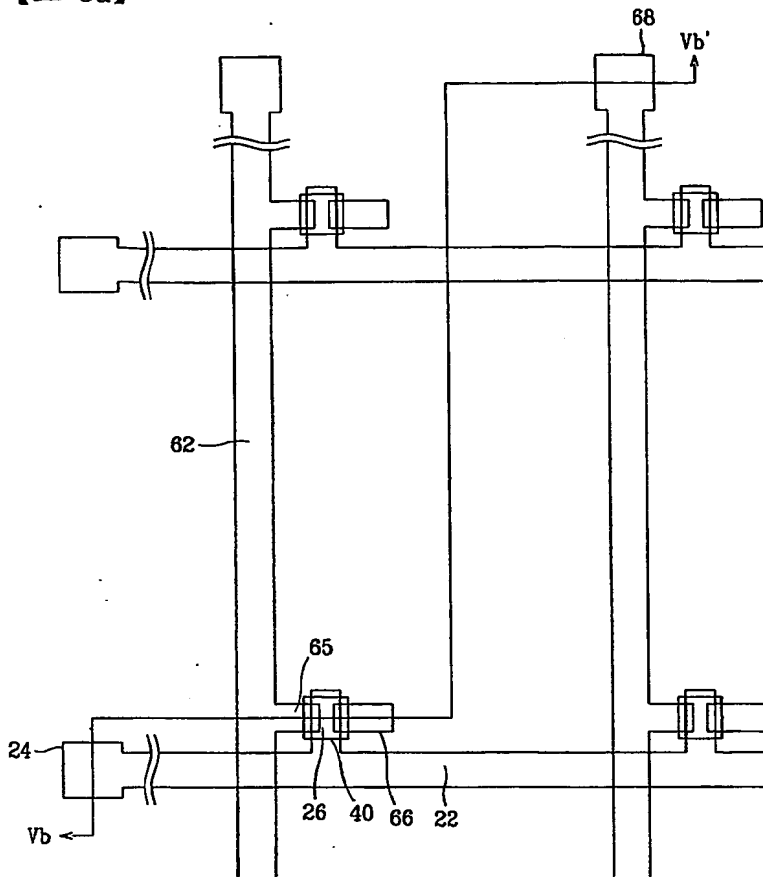
【도 4a】



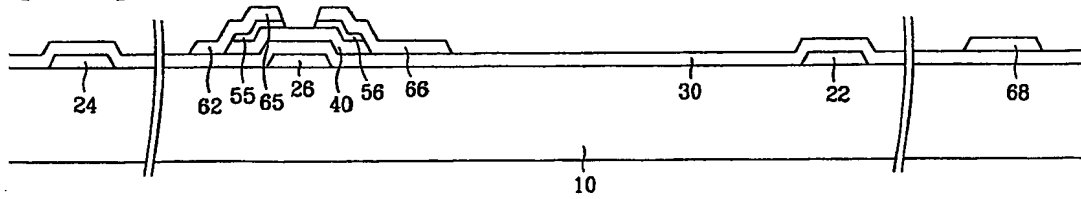
【도 4b】



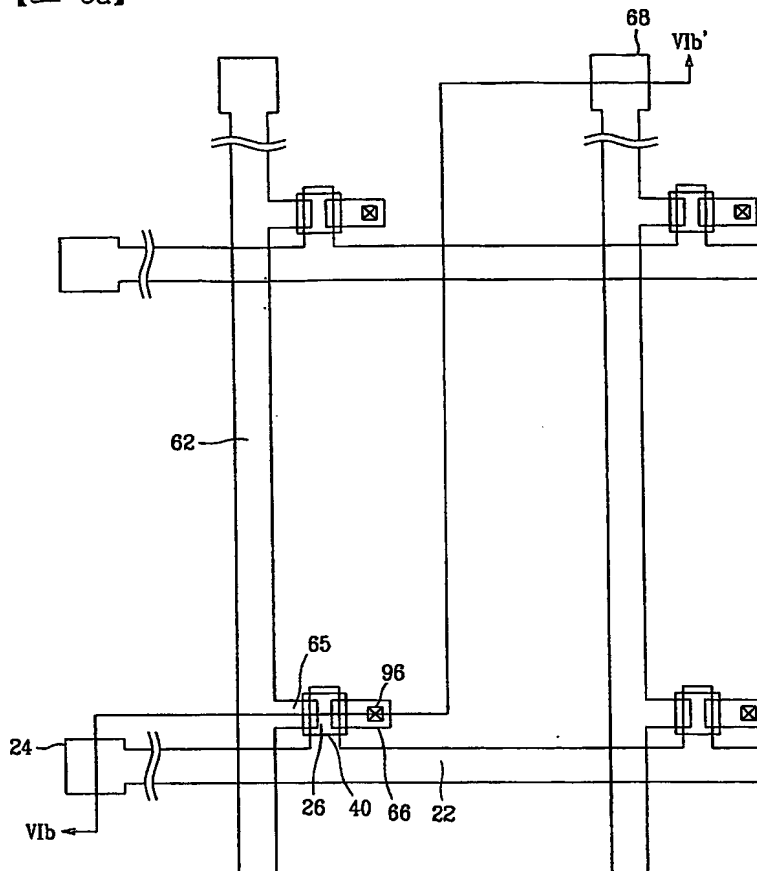
【도 5a】



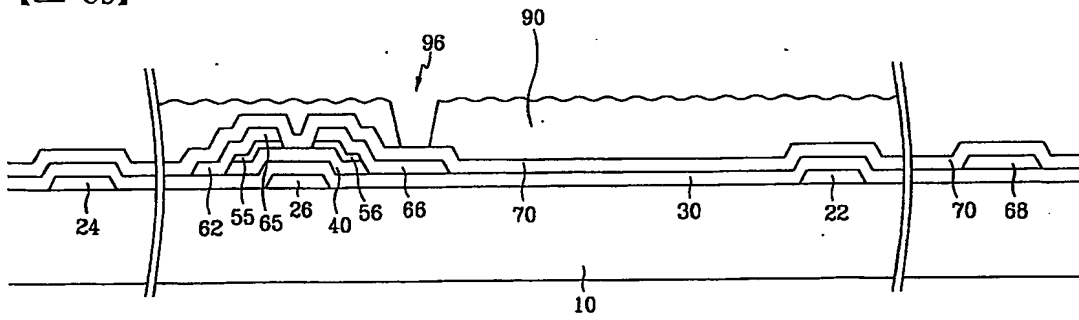
【도 5b】



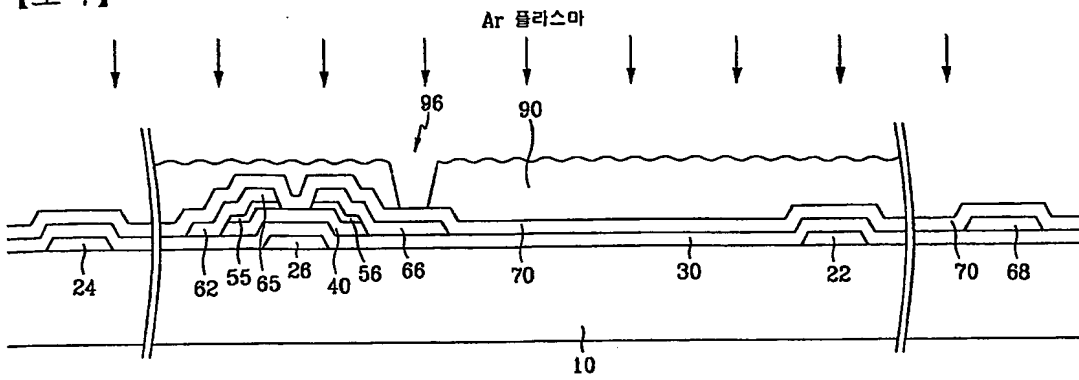
【도 6a】



【도 6b】



【도 7】



【도 8a】

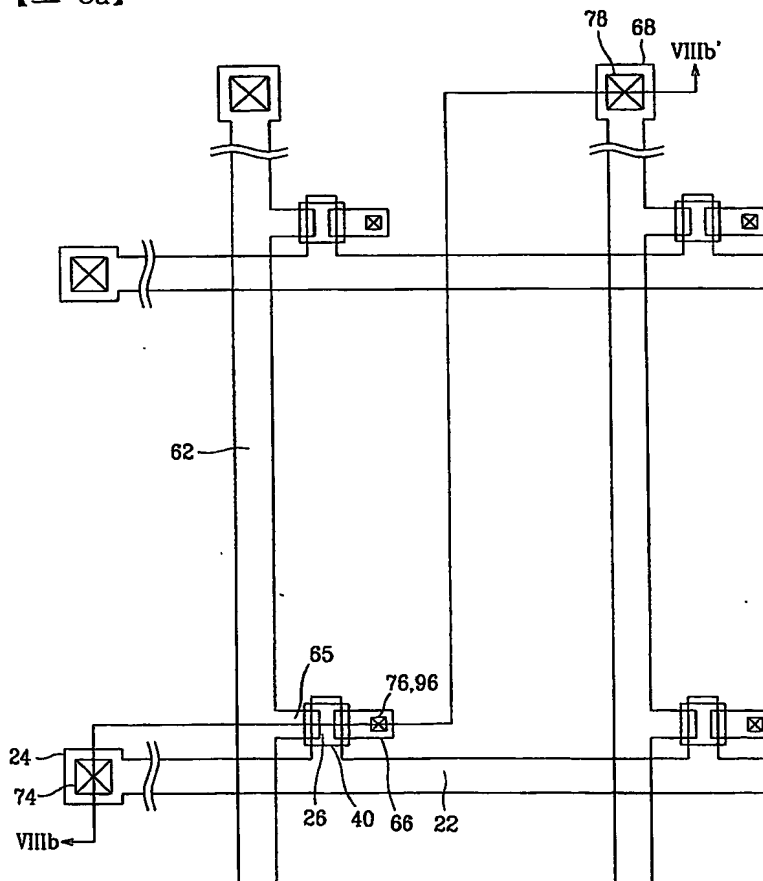
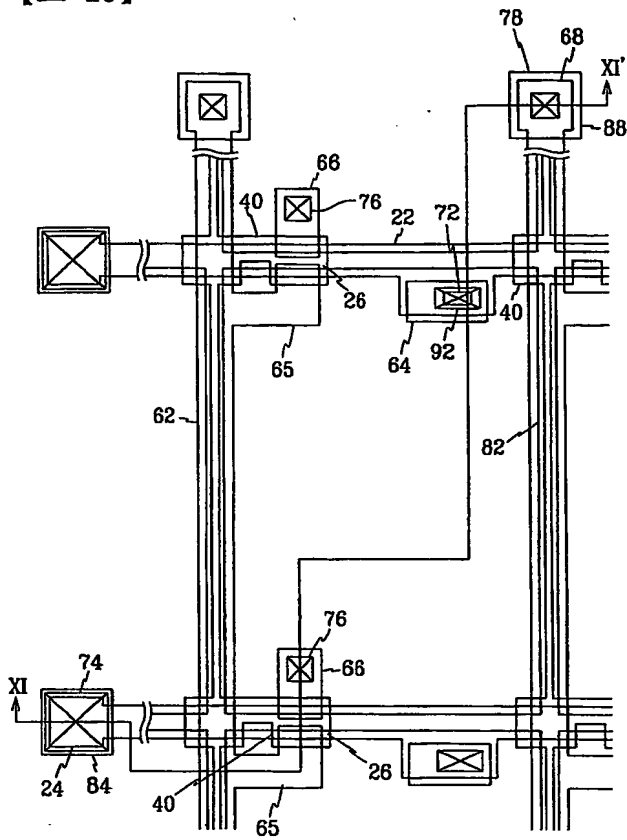
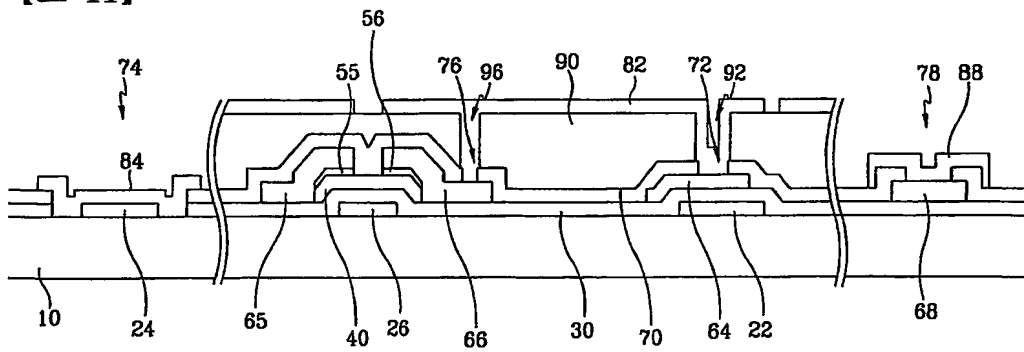


FIG. 5B is a cross-sectional view of a semiconductor device. It shows a substrate 10 with various layers and structures. On the left, there is a series of steps or terraces labeled 84, 74, and 24. Below these are layers 62, 55, 65, 26, 40, 56, and 66. A central region contains a wavy layer 82 above a flat layer 90, which sits on top of layer 70. To the right of this central region is another set of steps labeled 78 and 88, with underlying layers 70 and 68. The entire structure is bounded by vertical lines representing the edges of the device.

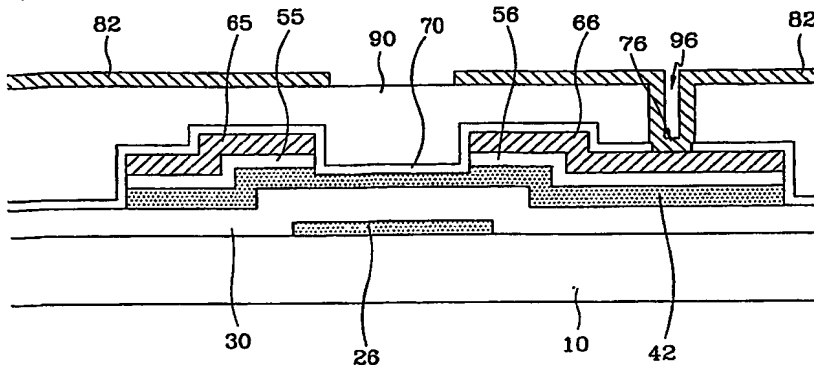
【도 10】



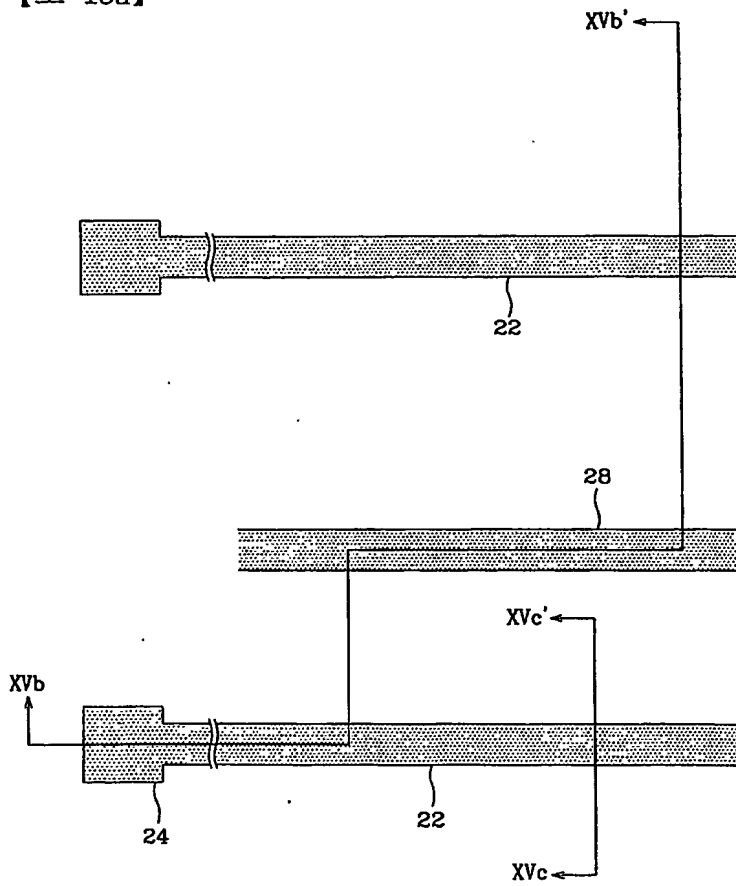
【도 11】



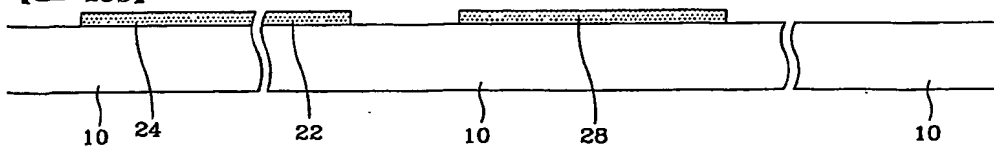
【도 14】



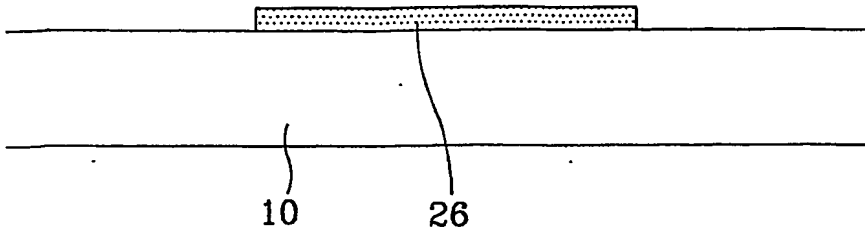
【도 15a】



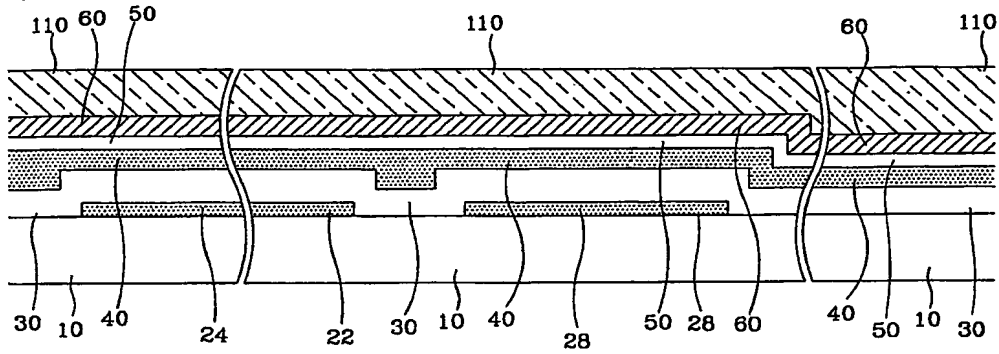
【도 15b】



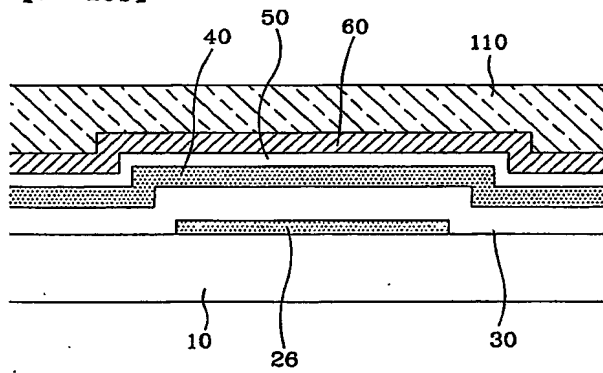
【도 15c】



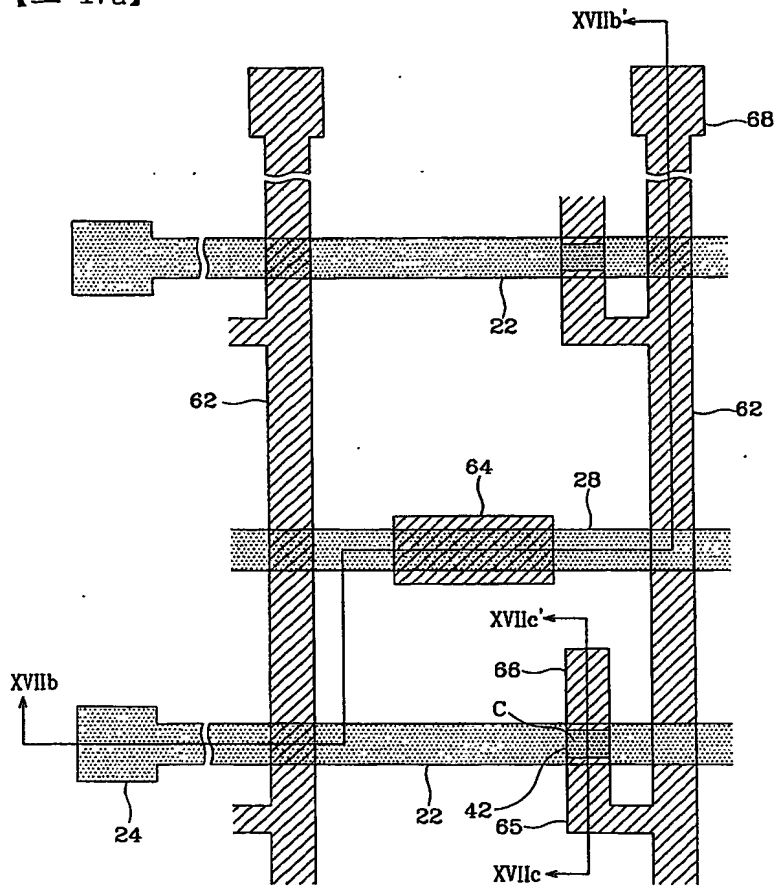
【도 16a】



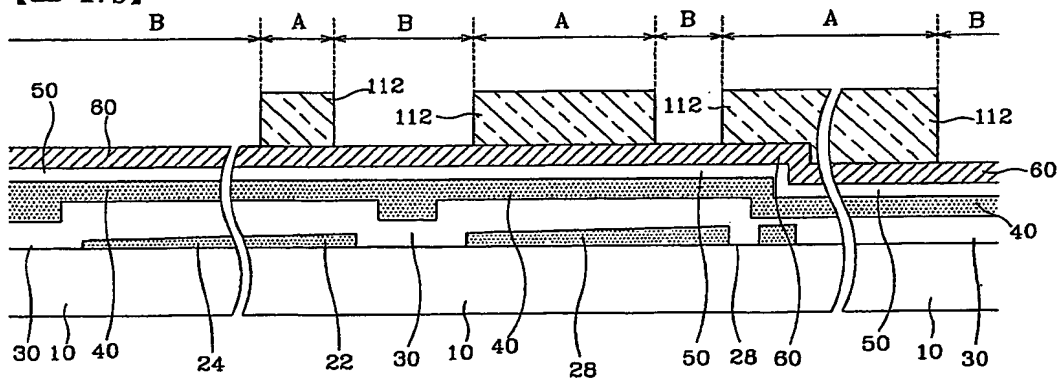
【도 16b】



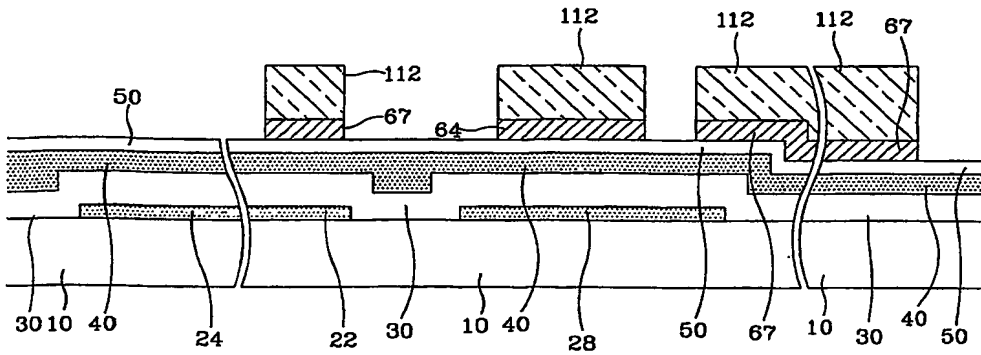
【도 17a】



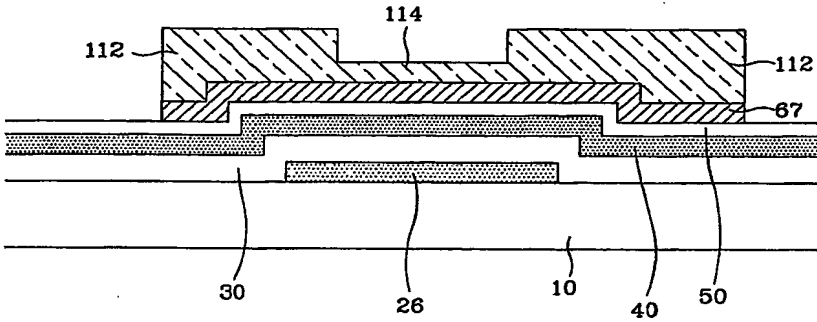
【도 17b】



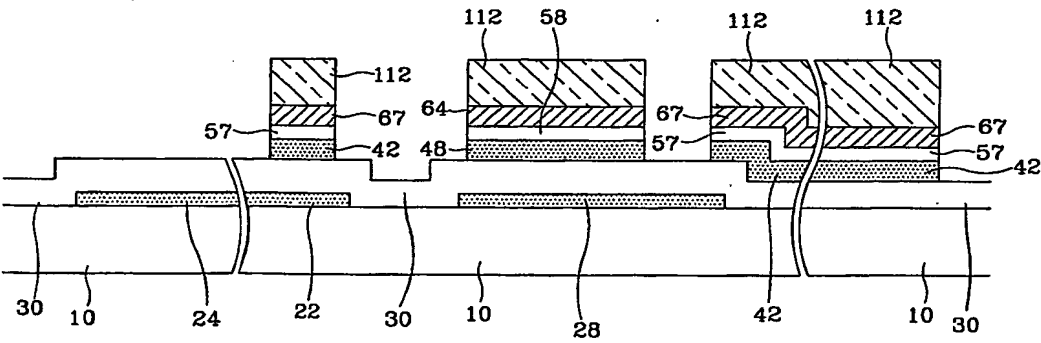
【도 18a】



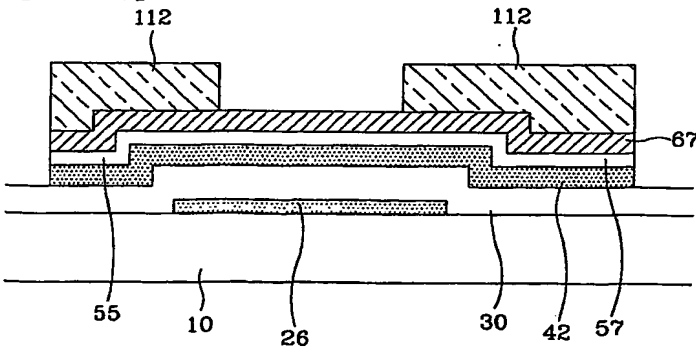
【도 18b】



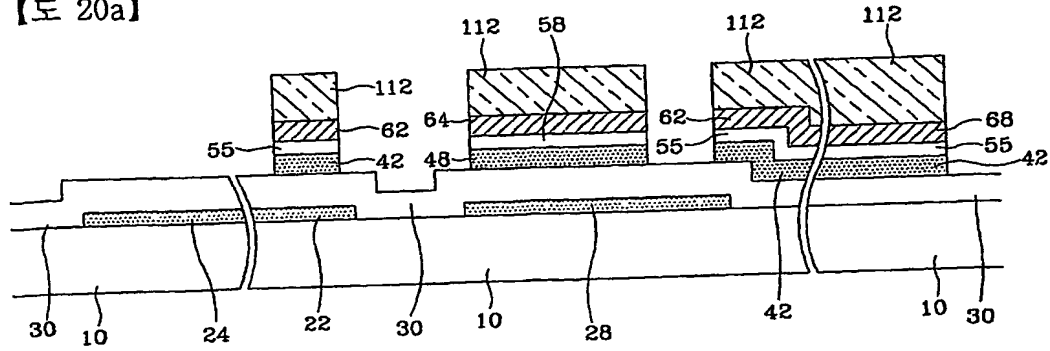
【도 19a】



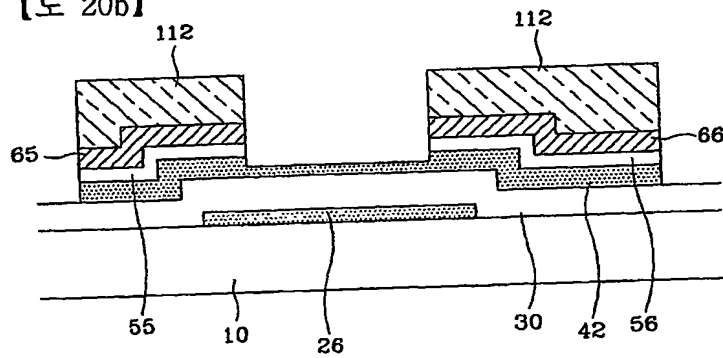
【도 19b】



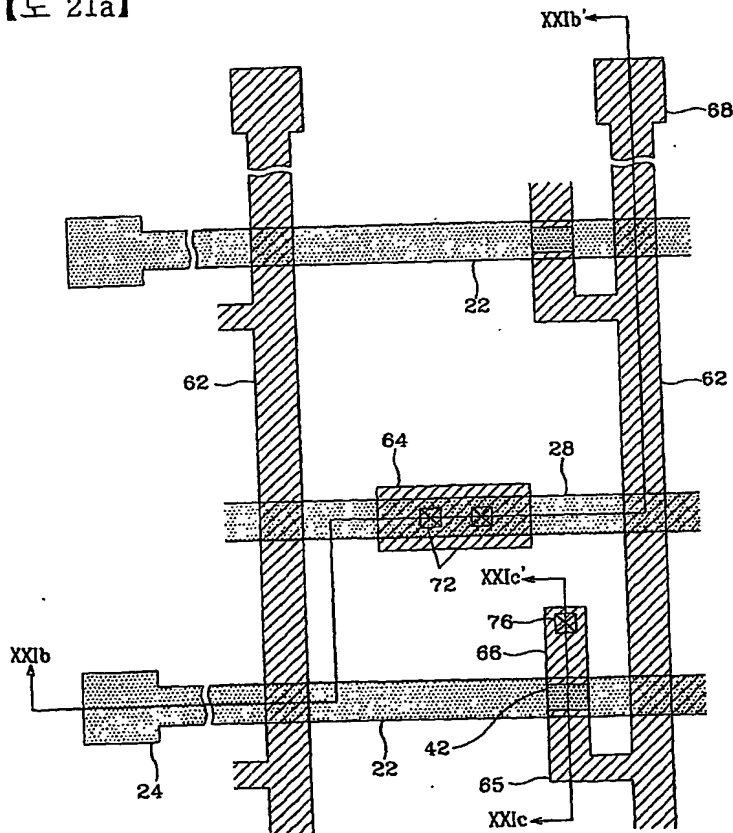
【도 20a】



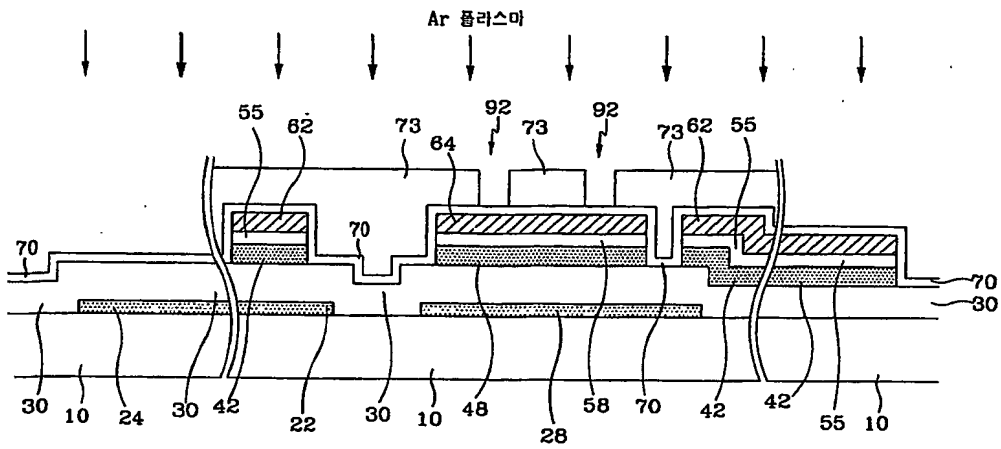
【도 20b】



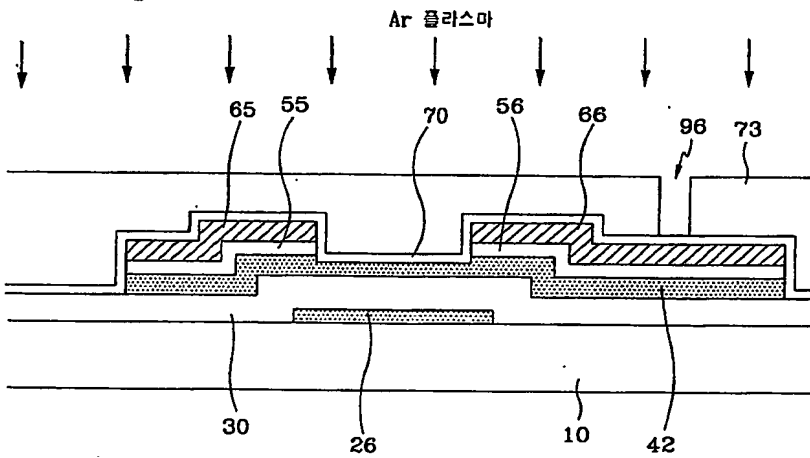
【도 21a】



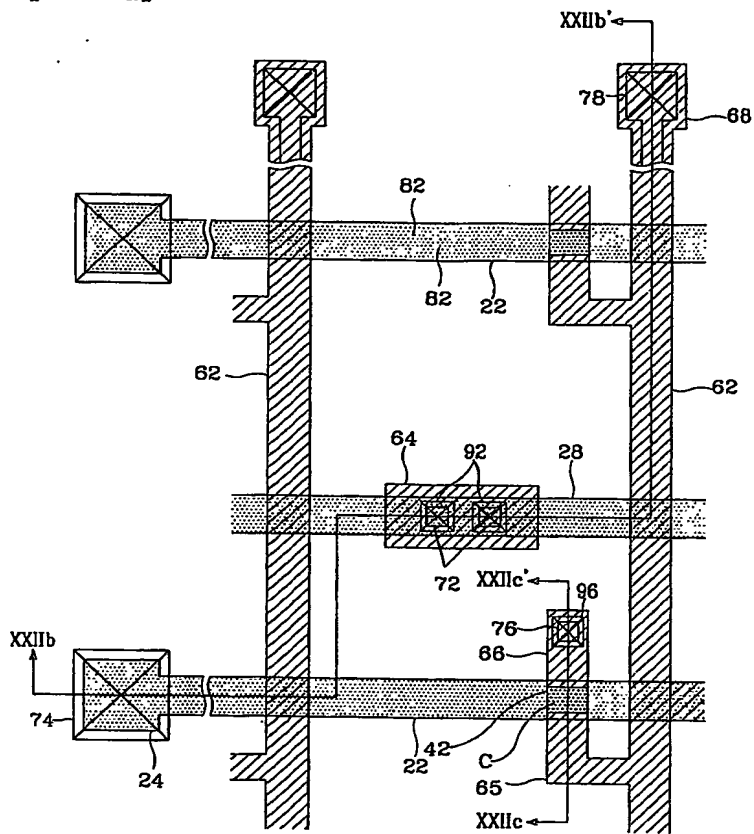
【도 21b】



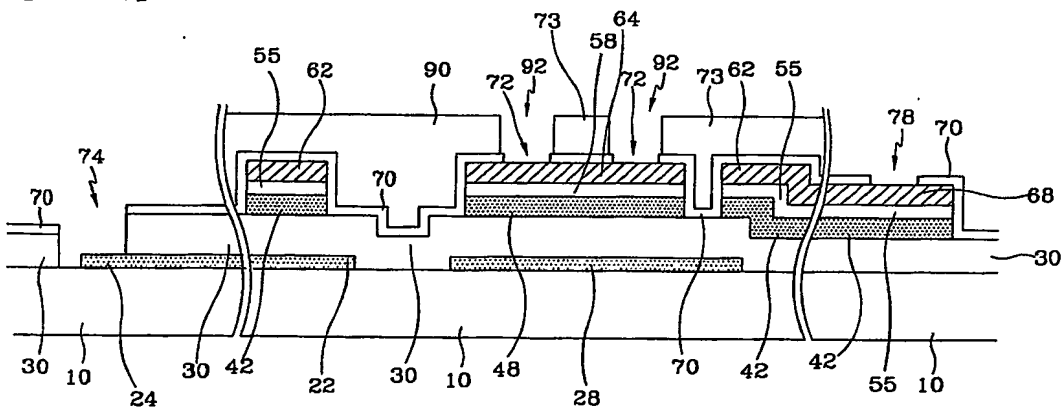
【도 21c】



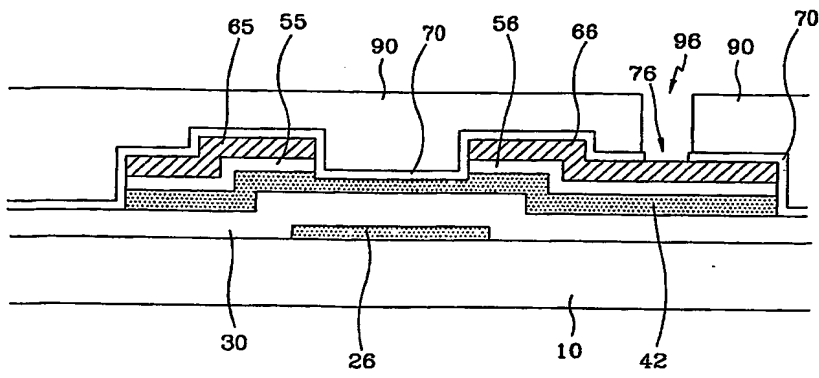
【도 22a】



【도 22b】



【도 22c】



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2002.09.24
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【사건의 표시】	
【출원번호】	10-2002-0018506
【출원일자】	2002.04.04
【발명의 명칭】	표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법
【제출원인】	
【접수번호】	1-1-02-0102087-82
【접수일자】	2002.04.04
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 유미특허법인 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

20018506

출력 일자: 2002/10/8

【첨부서류】

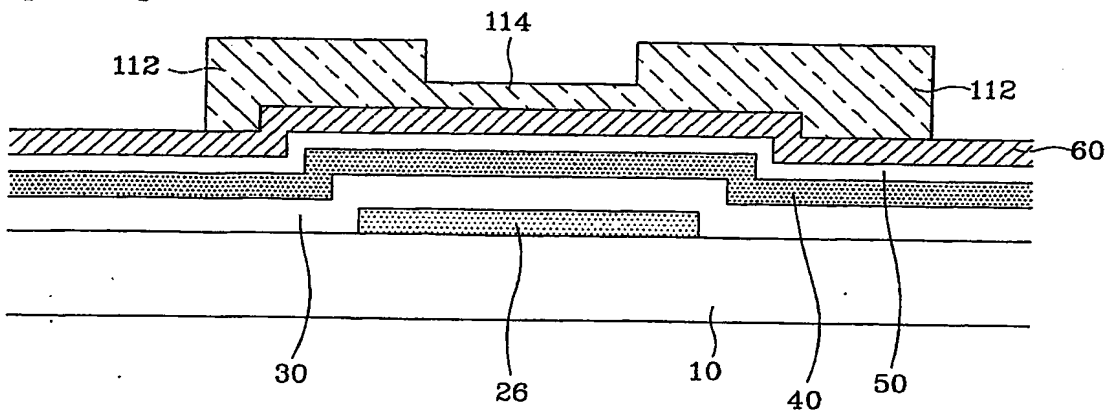
1. 보정내용을 증명하는 서류[도면 보정]_1통

【보정대상항목】 도 17c

【보정방법】 추가

【보정내용】

【도 17c】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.